



(19)

(11) Publication number: 2001222571 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000034577

(51) Intl. Cl.: G06F 17/50 G01R 31/28 G06F 12/14
G09C 1/00 H01L 21/82 H01L 29/00

(22) Application date: 14.02.00

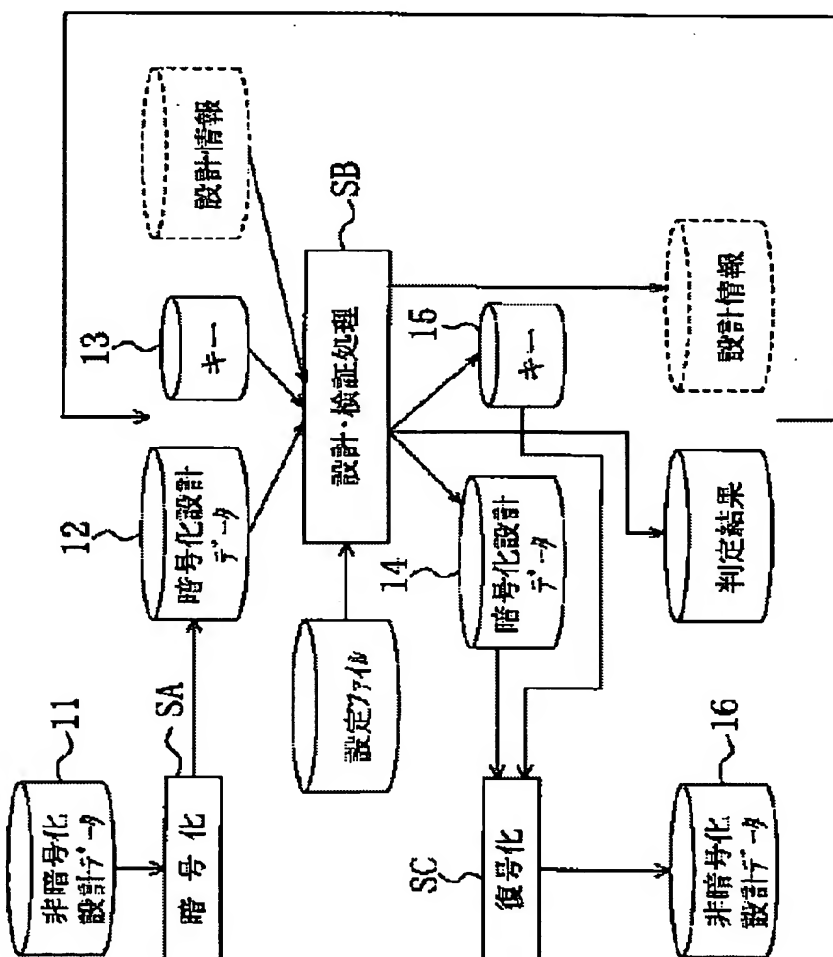
| | |
|---|---|
| (30) Priority: (43) Date of application publication: 17.08.01 (84) Designated contracting states: | (71) Applicant: MATSUSHITA ELECTRIC IND CO LTD (72) Inventor: SHIOMI KENTARO MOTOHARA AKIRA FUJIWARA MUTSUMI YOKOYAMA TOSHIYUKI FUJIMURA KATSUYA (74) Representative: |
|---|---|

(54) METHOD FOR DESIGNING AND VERIFYING LSI

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the secrecy of circuit design data more than conventional by adopting enciphering processing to the design of an LSI.

SOLUTION: In enciphering processing SA, design data 11 of a circuit requiring secrecy are enciphered and enciphered design data 12 and a key 13 for deciphering are generated. A dummy circuit is located parallel with an original circuit and a selector is located for selecting signals as many as the outputs of the original circuit out of outputs relocating the outputs of that dummy circuit. The select signal of the selector becomes a key. The enciphered design data 12 are provided to a user to execute designing/verifying processing S2 and the key 13 is provided together as needed. In designing/verifying processing SB, concerning the enciphered design data 12, various kinds of processing are performed while keeping the secret of contents of the original circuit. In deciphering processing SC, enciphered design data 14 after the execution of designing/verifying processing SB are deciphered and original circuit design data 16 are generated.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-222571

(P2001-222571A)

(43) 公開日 平成13年8月17日 (2001.8.17)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームコード* (参考) | |
|------------------------------------|-------|---------------|--------------|-----------|
| G 0 6 F 17/50 | | G 0 6 F 12/14 | 3 2 0 B | 2 G 0 3 2 |
| G 0 1 R 31/28 | | G 0 9 C 1/00 | 3 1 0 | 5 B 0 1 7 |
| G 0 6 F 12/14 | 3 2 0 | | 6 6 0 F | 5 B 0 4 6 |
| G 0 9 C 1/00 | 3 1 0 | H 0 1 L 29/00 | | 5 F 0 6 4 |
| | 6 6 0 | G 0 6 F 15/60 | 6 5 2 Z | 5 J 1 0 4 |
| 審査請求 有 請求項の数22 O L (全 12 頁) 最終頁に続く | | | | |

(21) 出願番号 特願2000-34577(P2000-34577)

(22) 出願日 平成12年2月14日 (2000.2.14)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 塩見 謙太郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 本原 章

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

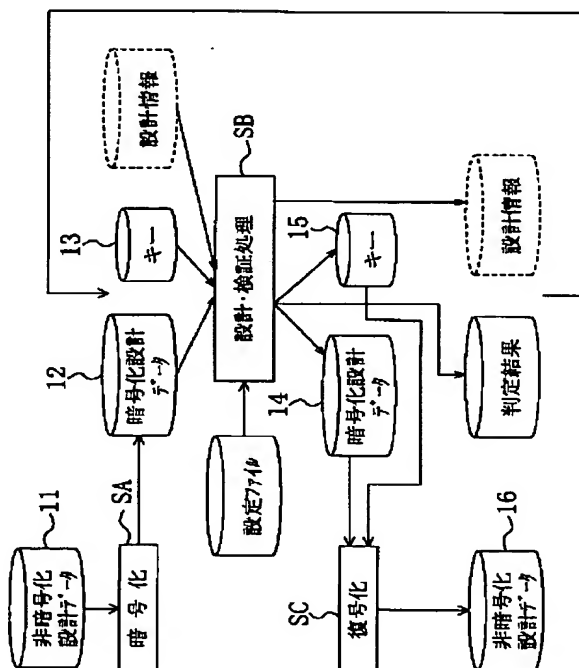
最終頁に続く

(54) 【発明の名称】 L S I の設計方法および検証方法

(57) 【要約】 (修正有)

【課題】 L S I の設計において、暗号化処理を採り入れ、従来よりも回路設計データの機密性を高める。

【解決手段】 暗号化処理 S A では、機密を必要とする回路の設計データ 1 1 に対して暗号化を行い、暗号化設計データ 1 2 および暗号化を解除するキー 1 3 と生成する。ダミー回路を元の回路と並列に配置し、その出力を並び換えた出力から、元の回路の出力数と同数の信号を選択するセレクタを配置する。セレクタの選択信号がキーとなる。暗号化設計データ 1 2 は設計・検証処理 S 2 を実行する利用者に提供され、必要に応じてキー 1 3 も併せて提供される。設計・検証処理 S B では、暗号化設計データ 1 2 について、元の回路の中身が秘匿されたまま各種の処理が行われる。復号化処理 S C では、設計・検証処理 S B が実行された後の暗号化設計データ 1 4 に対して復号化を行い、元の回路設計データ 1 6 を生成する。



【特許請求の範囲】

【請求項1】 与えられた回路設計データに対し、暗号化処理を行うステップを備えたことを特徴とするLSI設計方法。

【請求項2】 請求項1記載のLSI設計方法において、
前記暗号化ステップは、
前記回路設計データが表す回路の全体または一部を元の回路として、回路変換を行い、暗号化回路を生成するステップを備えており、
前記回路変換ステップは、
前記元の回路と入力数および出力数が同一の少なくとも1つのダミー回路を、前記元の回路と並列に配置し、
前記元の回路およびダミー回路の出力を並び替える並び替え回路を配置し、
前記並び替え回路の出力から、選択信号に従って、前記元の回路の出力数に相当する数の信号を選択するセレクトを配置し、前記暗号化回路を生成するものであり、かつ、
前記選択信号をキー信号とし、前記元の回路の出力と前記セレクトの出力とが一致するようなキー信号の値を、前記暗号化回路のキーとするものであることを特徴とするLSI設計方法。

【請求項3】 請求項2記載のLSI設計方法において、
前記暗号化ステップは、前記回路変換ステップにおいて用いるダミー回路を生成するステップを備え、
前記ダミー回路生成ステップは、
前記元の回路に対し、変換ルールに従って、ダミー回路の候補からなるダミー論理データベースを生成し、
前記ダミー論理データベースから、出力ルールに従って、ダミー回路を選択するものであることを特徴とするLSI設計方法。

【請求項4】 請求項3記載のLSI設計方法において、
前記変換ルールは、論理値の反転、論理演算子の変換、および論理演算子の順序変更のうちの少なくとも1つを含むものであることを特徴とするLSI設計方法。

【請求項5】 請求項3記載のLSI設計方法において、
前記出力ルールは、ランダム選択であることを特徴とするLSI設計方法。

【請求項6】 請求項2記載のLSI設計方法において、
前記暗号化回路のレイアウトを行うステップを備え、
前記レイアウトステップは、
前記キー信号の入力信号線を、電源およびグランドのいずれにも接続可能なように、レイアウトを行うものであることを特徴とするLSI設計方法。

【請求項7】 請求項6記載のLSI設計方法において、

て、

前記レイアウトにおいて、前記キーにしたがって前記キー信号を電源およびグランドのいずれか一方に接続し、前記元の回路のレイアウトを生成するステップを備えたことを特徴とするLSI設計方法。

【請求項8】 リファレンスとなる動作モデルとともに暗号化された回路設計データについて、回路動作の検証を行うステップを備え、
前記検証ステップは、
前記暗号化された回路設計データを復号化し、実際の設計データと、前記動作モデルとを得るステップと、
前記実際の設計データについてシミュレーションを実行し、実出力値を得るステップと、
前記動作モデルについてシミュレーションを実行し、出力期待値を得るステップと、
前記実出力値と前記出力期待値とを比較し、比較結果を出力するステップとを備えたものであることを特徴とするLSIの検証方法。

【請求項9】 プロトコル定義とともに暗号化された回路設計データについて、回路動作の検証を行うステップを備え、
前記検証ステップは、
前記暗号化された回路設計データを復号化し、実際の設計データと、前記プロトコル定義とを得るステップと、
前記実際の設計データについてシミュレーションを実行し、実出力値を得るステップと、
前記実出力値を、前記プロトコル定義と比較し、比較結果を出力するステップとを備えたものであることを特徴とするLSIの検証方法。

【請求項10】 暗号化された回路設計データを、シミュレーションによって検証するステップを備え、
前記検証ステップは、不正なアクセスによるシミュレーションを制限するものであることを特徴とするLSIの検証方法。

【請求項11】 請求項10記載のLSI検証方法において、
前記検証ステップは、
前記暗号化された回路設計データを復号化し、実際の設計データを得るステップと、
前記実際の設計データについてシミュレーションを実行するステップと、
前記シミュレーションにおいて、所定の制限情報をカウントするステップと、
カウント値が上限値を超えたとき、シミュレーションに制限措置を施すステップとを備えたものであることを特徴とするLSI検証方法。

【請求項12】 請求項11記載のLSI検証方法において、
前記所定の制限情報は、シミュレーションの実行ステップ、シミュレーションの実行時間、回路内の特定信号の

トグル数、および回路への入力組み合わせのうちの少なくとも1つを含むものであることを特徴とするLSI検証方法。

【請求項13】 請求項12記載のLSI検証方法において、前記所定の制限情報を、ランダムに選択することを特徴とするLSI検証方法。

【請求項14】 請求項10記載のLSI検証方法において、前記検証ステップは、前記暗号化された回路設計データを復号化し、実際の設計データを得るステップと、前記実際の設計データについてシミュレーションを実行するステップと、前記シミュレーションにおいて、所定のプロトコル制約条件を違反するか否かをチェックするステップと、違反したとき、シミュレーションに制限措置を施すステップとを備えたものであることを特徴とするLSI検証方法。

【請求項15】 請求項14記載のLSI検証方法において、前記所定のプロトコル制約条件は、入力プロトコル、および動作中プロトコルのうちの少なくとも1つを含むものであることを特徴とするLSI検証方法。

【請求項16】 請求項15記載のLSI検証方法において、前記所定のプロトコル制約条件を、ランダムに選択することを特徴とするLSI検証方法。

【請求項17】 請求項11または14記載のLSI検証方法において、前記制限措置は、シミュレーションの停止、実行速度低下および異常実行、シミュレーション結果の非出力、並びに、次ステップに渡すデータまたはキーの非生成のうちの少なくとも1つを含むものであることを特徴とするLSI検証方法。

【請求項18】 シミュレーションにおける不正アクセスをチェックするチェック回路を含む回路設計データを、暗号化処理するステップと、暗号化された回路設計データを、シミュレーションによって検証するステップとを備え、前記検証ステップは、前記チェック回路を動作させて、不正なアクセスによるシミュレーションを制限するものであることを特徴とするLSI検証方法。

【請求項19】 請求項18記載のLSI検証方法において、前記チェック回路は、シミュレーションにおいて、所定の制限情報のカウント値が上限値を超えたか否かをチェックするものであることを特徴とするLSI検証方法。

【請求項20】 請求項18記載のLSI検証方法において、

前記チェック回路は、シミュレーションにおいて、プロトコル制約条件の違反の有無をチェックするものであることを特徴とするLSI検証方法。

【請求項21】 与えられた回路設計データから、タイミング情報を抽出するステップと、前記回路設計データを、抽出したタイミング情報のみを合わせて、所定の変換ルールに従い、暗号化設計データに変換するとともに、少なくとも1つの論理ゲートにバッファを付加するステップと、前記暗号化設計データについて、付加したバッファのサイズを調整するステップと、バッファサイズ調整後の前記暗号化設計データを、前記所定の変換ルールをキーとして、復号化するステップとを備えたことを特徴とするLSI設計方法。

【請求項22】 固有IDの判定回路とともに暗号化された回路設計データについて、復号化を行い、実際の設計データと、前記固有IDの判定回路とを得るステップを備え、前記ステップは、入力された固有パラメータによって、前記固有IDの判定回路に正しい値を定義するステップを有することを特徴とするLSI設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSIの設計および検証に関するものであり、特に、設計データの機密を保つための技術に属する。

【0002】

【従来の技術】LSIの設計において、回路の中身の機密を保ちたい場合がある。例えば、データの暗号化に関わるLSIでは、その回路の中身が知られると、これにより、暗号化のロジックが解読されてしまうおそれがある。

【0003】従来では、このような機密保持を要するLSIの設計は、設計に従事する人を限定したり、あるいは、設計を行う場所を特定したりすることによって、他の人に回路の中身が知られないようにしていた。

【0004】

【発明が解決しようとする課題】近年のLSIの複雑化、大規模化に伴い、1個のLSIの設計には、多数の設計者が携わっている。したがって、設計者や設計場所の限定のみでは、回路の機密を保つのに必ずしも十分ではない。

【0005】前記の問題に鑑み、本発明は、LSIの設計において、暗号化処理を採り入れ、従来よりも回路設計データの機密性を高めることを課題とする。

【0006】また、暗号化された設計データについて、機密性を保ったまま、検証を実行できるようにすることを課題とする。

【0007】

【課題を解決するための手段】前記の課題を解決するた

めに、請求項1の発明が講じた解決手段は、LSI設計方法として、与えられた回路設計データに対し、暗号化処理を行うステップを備えたものである。

【0008】請求項2の発明では、請求項1のLSI設計方法における暗号化ステップは、前記回路設計データが表す回路の全体または一部を元の回路として回路変換を行い、暗号化回路を生成するステップを備えており、前記回路変換ステップは、前記元の回路と入力数および出力数が同一の少なくとも1つのダミー回路を前記元の回路と並列に配置し、前記元の回路およびダミー回路の出力を並び替える並び替え回路を配置し、前記並び替え回路の出力から、選択信号に従って、前記元の回路の出力数に相当する数の信号を選択するセレクタを配置し、前記暗号化回路を生成するものとし、かつ、前記選択信号をキー信号とし、前記元の回路の出力と前記セレクタの出力とが一致するようなキー信号の値を前記暗号化回路のキーとするものとする。

【0009】請求項3の発明では、前記請求項2のLSI設計方法における暗号化ステップは、前記回路変換ステップにおいて用いるダミー回路を生成するステップを備え、前記ダミー回路生成ステップは、前記元の回路に対し変換ルールに従ってダミー回路の候補からなるダミー論理データベースを生成し、前記ダミー論理データベースから出力ルールに従ってダミー回路を選択するものとする。

【0010】請求項4の発明では、前記請求項3のLSI設計方法における変換ルールは、論理値の反転、論理演算子の変換、および論理演算子の順序変更のうちの少なくとも1つを含むものとする。

【0011】請求項5の発明では、前記請求項3のLSI設計方法における出力ルールは、ランダム選択であるものとする。

【0012】請求項6の発明では、前記請求項2のLSI設計方法は、前記暗号化回路のレイアウトを行うステップを備え、前記レイアウトステップは、前記キー信号の入力信号線を電源およびグラウンドのいずれにも接続可能なようにレイアウトを行うものとする。

【0013】請求項7の発明では、前記請求項6のLSI設計方法は、前記レイアウトにおいて、前記キーにしたがって前記キー信号を電源およびグラウンドのいずれか一方に接続し、前記元の回路のレイアウトを生成するステップを備えたものとする。

【0014】また、請求項8の発明が講じた解決手段は、LSIの検証方法として、リファレンスとなる動作モデルとともに暗号化された回路設計データについて、回路動作の検証を行うステップを備え、前記検証ステップは、前記暗号化された回路設計データを復号化し、実際の設計データと前記動作モデルとを得るステップと、前記実際の設計データについてシミュレーションを実行し、実出力値を得るステップと、前記動作モデルについ

てシミュレーションを実行し、出力期待値を得るステップと、前記実出力値と前記出力期待値とを比較し、比較結果を出力するステップとを備えたものである。

【0015】また、請求項9の発明が講じた解決手段は、LSIの検証方法として、プロトコル定義とともに暗号化された回路設計データについて、回路動作の検証を行うステップを備え、前記検証ステップは、前記暗号化された回路設計データを復号化し、実際の設計データと前記プロトコル定義とを得るステップと、前記実際の設計データについてシミュレーションを実行し、実出力値を得るステップと、前記実出力値を前記プロトコル定義と比較し、比較結果を出力するステップとを備えたものである。

【0016】また、請求項10の発明が講じた解決手段は、LSIの検証方法として、暗号化された回路設計データをシミュレーションによって検証するステップを備え、前記検証ステップは、不正なアクセスによるシミュレーションを制限するものである。

【0017】請求項11の発明では、前記請求項10のLSI検証方法における検証ステップは、前記暗号化された回路設計データを復号化し、実際の設計データを得るステップと、前記実際の設計データについてシミュレーションを実行するステップと、前記シミュレーションにおいて、所定の制限情報をカウントするステップと、カウント値が上限値を超えたとき、シミュレーションに制限措置を施すステップとを備えたものとする。

【0018】請求項12の発明では、前記請求項11のLSI検証方法における所定の制限情報は、シミュレーションの実行ステップ、シミュレーションの実行時間、回路内の特定信号のトグル数、および回路への入力組み合わせのうちの少なくとも1つを含むものとする。

【0019】請求項13の発明では、前記請求項12のLSI検証方法は、所定の制限情報をランダムに選択するものとする。

【0020】請求項14の発明では、前記請求項10のLSI検証方法における検証ステップは、前記暗号化された回路設計データを復号化し、実際の設計データを得るステップと、前記実際の設計データについてシミュレーションを実行するステップと、前記シミュレーションにおいて、所定のプロトコル制約条件を違反するか否かをチェックするステップと、違反したとき、シミュレーションに制限措置を施すステップとを備えたものとする。

【0021】請求項15の発明では、前記請求項14のLSI検証方法における所定のプロトコル制約条件は、入力プロトコル、および動作中プロトコルのうちの少なくとも1つを含むものとする。

【0022】請求項16の発明では、前記請求項15のLSI検証方法は、前記所定のプロトコル制約条件をランダムに選択するものとする。

【0023】請求項17の発明では、前記請求項11または14のLSI検証方法における制限措置は、シミュレーションの停止、実行速度低下および異常実行、シミュレーション結果の非出力、並びに、次ステップに渡すデータまたはキーの非生成のうちの少なくとも1つを含むものとする。

【0024】また、請求項18の発明が講じた解決手段は、LSI検証方法として、シミュレーションにおける不正アクセスをチェックするチェック回路を含む回路設計データを、暗号化処理するステップと、暗号化された回路設計データを、シミュレーションによって検証するステップとを備え、前記検証ステップは、前記チェック回路を動作させて、不正なアクセスによるシミュレーションを制限するものである。

【0025】請求項19の発明では、前記請求項18のLSI検証方法におけるチェック回路は、シミュレーションにおいて、所定の制限情報のカウント値が上限値を超えたか否かをチェックするものとする。

【0026】請求項20の発明では、前記請求項18のLSI検証方法におけるチェック回路は、シミュレーションにおいて、プロトコル制約条件の違反の有無をチェックするものとする。

【0027】また、請求項21の発明が講じた解決手段は、LSI設計方法として、与えられた回路設計データから、タイミング情報を抽出するステップと、前記回路設計データを抽出したタイミング情報のみを合わせて所定の変換ルールに従い、暗号化設計データに変換するとともに、少なくとも1つの論理ゲートにバッファを付加するステップと、前記暗号化設計データについて付加したバッファのサイズを調整するステップと、バッファサイズ調整後の前記暗号化設計データを、前記所定の変換ルールをキーとして復号化するステップとを備えたものである。

【0028】また、請求項22の発明が講じた解決手段は、LSI設計方法として、固有IDの判定回路とともに暗号化された回路設計データについて復号化を行い、実際の設計データと前記固有IDの判定回路とを得るステップを備え、前記ステップは、入力された固有パラメータによって前記固有IDの判定回路に正しい値を定義するステップを有するものである。

【0029】

【発明の実施の形態】図1は本願発明者が提案する回路設計スタイルを示す図である。図1に示す設計スタイルでは、機密設計データの中身が見えなくても設計・検証処理SBが実行可能なように、設計データの暗号化処理SAおよび復号化処理SCが実行される。

【0030】暗号化処理SAでは、機密を必要とする回路の設計データ11に対して暗号化を行い、暗号化設計データ12と、この暗号化を解除するキー13とを生成する。暗号化設計データ12は設計・検証処理S2を実

行する利用者に提供される。また、その設計・検証処理S2の必要に応じて、キー13も併せて提供される。

【0031】設計・検証処理SBでは、暗号化設計データ12について、元の回路の中身が開示されることなく、各種の処理が行われる。復号化処理SCでは、設計・検証処理S2が実行された後の暗号化設計データ14に対してキー15を用いて復号化を行い、元の回路の設計データ16を生成する。

【0032】図2は図1の回路設計スタイルにおける基本工程のパターンを示す図である。同図中、(a)は暗号化A、(b)は暗号データのままの処理B1、(c)は暗号を保ったデータ変換B2、(d)は復号化Cを示している。処理B1と処理B2とは、処理B1では復号化および暗号化は行われず、新たなキーは生成されないが、処理B2では新たな暗号化データが新たなキーとともに生成される点で相違する。

【0033】図3は本発明に係る処理の流れを示す図であり、図2に示す基本工程のパターンを組み合わせたものである。同図中、(a)に示す処理は、暗号化A、暗号データのままの処理B1および復号化Cを組み合わせたものである。例えば、RTLレベルまたはビヘイビアレベルの設計データを暗号化し、この暗号化データについて論理合成を行い、暗号化されたゲートレベルの設計データを出力し、その後ゲートレベルの設計データに復号化する、といった処理がこれに相当する。これにより、論理合成中の設計データの機密を保つことができる。また、暗号化データについて論理合成およびレイアウトを行い、その後マスクデータを復号化するような場合も考えられる。また、(b)に示す処理は、暗号化A、暗号を保ったデータ変換B2および復号化Cを組み合わせたものである。

【0034】以下、各処理の具体例について、順に説明する。

【0035】＜暗号化処理＞

（回路変換）図4は本発明に係る暗号化処理の一例である回路変換を示す図である。図4において、f0は元の暗号化されていない回路である。回路f0の入力数をn、出力数をmとする。回路f0は元の回路の全体を表すものであってもよいし、元の回路の部分回路であってもかまわない。

【0036】図4に示すように、回路f0と並列に、回路f0と入力数、出力数が同一の(p-1)個のダミー回路f1～f p-1を配置する。そして、その後段に、並び替え回路21およびセクタ22を設ける。並べ替え回路21は回路f0の出力と各ダミー回路f1～f p-1の出力とを受け、これらの出力を並べ替えて出力する。例えば出力01からは、各回路f0～f p-1の出力の第1ビットを集め並び替えて出力し、出力02からは、各回路f0～f p-1の出力の第2ビットを集め並び替えて出力する。これにより、並べ替え回路21か

ら、元の回路f 0の出力数に相当する個数すなわちm個の、pビットの信号が出力される。

【0037】セクタ22は、選択信号KEYに従って、並び替え回路21の各出力から1ビットずつを選択し、出力する。これにより、回路f 0と同じm個の信号がセクタ22から出力される。このような回路変換の結果、図4に示すような暗号化回路が生成される。

【0038】ここで、選択信号KEYを暗号化回路のキー信号とする。そして、回路f 0の出力とセクタ22の出力とが一致するようなキー信号KEYの値を、暗号化回路のキーとする。

【0039】このような回路変換による暗号化は、変換手順が簡易であり、自動変換が容易である。また、暗号化による遅延増加は、セクタ22における遅延のみであり、極めて少ない。

【0040】図5は図4に示す回路変換の具体例を示す図である。いま、元の回路f 0として、図5(a)に示すような2入力2出力の回路が与えられたとする。この回路f 0に対して図5(b)に示すようなダミー回路f 1を配置する。図5(c)は、回路f 0をダミー回路f 1を用いて暗号化した結果を示す図である。さらに、図5(c)の回路を合成して、図5(d)のような暗号化回路を得る。この回路のキーは(0, 1)である。

【0041】図6は図4に示す回路変換に用いるダミー回路の生成方法を示す図である。図6に示すように、元の回路f 0に対して、所定の変換ルール25に従って、ダミー回路候補を含むダミー論理データベース(DB)26を生成する。そして、生成したダミー論理DB26から、所定の出力ルール27に従って、任意のダミー回路f 1～f p-1を出力する。このような生成方法では、変換ルール25および出力ルール27の設定によって、ダミー回路f 1～f p-1を柔軟に生成することができるので、自動化処理に適する。

【0042】変換ルール25の例としては、論理値の反転、論理演算子の変換、論理演算子の順序変更などが挙げられる。論理値の反転では、入力値の反転や出力値の反転の他に、複数ビット信号の一部のビットを反転する方法が考えられる。論理演算子の変換では、ANDとORとの変換が考えられる。また、出力ルール27の例としては、ランダムに選択する方法や、重複するダミー回路を排除する方法などが考えられる。

【0043】＜復号化処理＞図4に示すような回路変換によって得られた暗号化回路をレイアウトする際に、キー信号の入力信号線を、電源およびグラウンドのいずれにも接続可能なようにレイアウトを行う。これによって、レイアウト工程まで、元の回路の内容について機密を保つことができ、かつ、キーを用いて極めて容易に元の回路の復号化を実現することができる。

【0044】図7は本復号化処理を説明するための図であり、同図中、(a)は暗号化回路のレイアウトの一

例、(b)は(a)の回路をキーに従って復号化した結果を示す図である。図7(a)に示すように、暗号化回路30に入力されるキー信号KEYの入力信号線31を、電源VDDおよびグラウンドVSSのいずれにも接続可能なように、レイアウトを行う。そして、図7(b)に示すように、キー(図の例では(0, 1, 0))に従って、キー信号KEYの入力信号線31を電源およびグラウンドのいずれか一方に接続する(ECO(Engineering Change Order))。これによって、元の回路のレイアウトが復号化される。

【0045】＜設計・検証処理＞

(判定)暗号化設計データを、復号化してシミュレーションによる検証を行うとき、シミュレーション結果が正常であるか否かを判定するための期待値が必要になる。ところが、この期待値が外部から見えたとなると、回路の内容がこの期待値から推定可能になり、設計データの機密性が保てない。

【0046】そこでここでは、回路設計データを暗号化するとき、シミュレーション結果の期待値となるデータまたは期待値を得る元になるデータを含めて、暗号化を行う。そして、検証処理では、シミュレーション結果と期待値との比較結果に基づき、回路動作が正常か否かを判定する。

【0047】図8は本発明に係る検証方法としての第1の判定方法を示す図である。本判定方法では、シミュレーション結果の期待値を得る元になるデータとして、リファレンスとなる動作モデルを用いる。すなわち、図8に示すように、まず、動作モデルとともに暗号化された回路設計データ41をキー52を用いて復号化し(S21)、実際の下位レベルの設計データ43(RTLまたはゲートレベルのネットリスト)と動作モデルの設計データ44とを得る。そして、下位レベルの設計データ43についてシミュレーションを実行し(S22)、実出力値45を得る。また、動作モデルの設計データ44についてシミュレーションを実行し(S23)、出力期待値46を得る。そして、得られた実出力値45と出力期待値46を比較し、各シミュレーション時間において、実出力値45と出力期待値46とが一致しているか否かを判定する(S24)。図8の例では、値が一致しているので、結果通知47として、シミュレーション結果は正常である旨を出力する。

【0048】図9は本発明に係る検証方法としての第2の判定方法を示す図である。本判定方法では、シミュレーション結果の期待値となるデータとして、プロトコル定義を用いる。すなわち、図9に示すように、まず、プロトコル定義とともに暗号化された回路設計データ51をキー52を用いて復号化し(S31)、設計データ53と、プロトコル定義54とを得る。プロトコル定義54では、設計データ53が示す回路の入出力および中間ノードの値について、その動作状態が定義されている。

そして、設計データ53についてシミュレーションを実行し(S32)、得られた実出力値55と、プロトコル定義54とを比較する(S33)。

【0049】なお、第1および第2の判定方法において、シミュレーション結果が異常である旨の結果が得られたときは、シミュレーション実行結果である実出力値45、55を、暗号化して出力してもよい。

【0050】(シミュレーション制限) 暗号化設計データについてシミュレーションを実行し、検証した場合、検証結果出力には、設計データ内の全ての信号線の情報が格納される。多くの入力を与えてシミュレーションを実行し、それから得た検証結果出力を解析すれば、暗号化された回路の内容を知得することが可能になる。

【0051】そこで、ここでは、検証結果出力から回路の内容が知得されないように、言い換えると、不正アクセスを監視、防止するために、シミュレーションに制限をかける方法を示す。

【0052】図10は本発明に係る検証方法としてのシミュレーション制限方法を示す図である。図10に示すように、シミュレーションS42のチェックS43では、次のような所定の制限情報64を、シミュレーションの間カウントする。そして、カウント値が所定の上限値を越えたとき、シミュレーションS42に制限措置を施す。

【0053】・シミュレーションの実行ステップ、実行時間

- ・回路内の特定信号のトグル数
- ・回路への入力の組み合わせ

これらの制限情報を、ランダムに選択するようにしてもよい。また、シミュレーションの制限措置としては、次のようなものが考えられる。

【0054】・シミュレーションの停止、実行速度低下、異常実行

- ・シミュレーション結果の非出力
- ・各信号線のダンプ情報、判定結果などのデータの出力停止

・次ステップに渡すデータまたはキーの非生成
また、制限情報64として、プロトコルの制約条件を設けて、シミュレーションにおいて、このプロトコル制約条件に違反するか否かを判定してもよい。プロトコルの制約条件としては、次のようなものが挙げられる。

【0055】・回路への入力において許容できるプロトコル(入力プロトコル)

- ・回路内の動作において許容できるプロトコル(動作中プロトコル)

これらのプロトコル制約条件を、ランダムに選択するようにしてもよい。

【0056】なお、制限情報64は、回路設計データの暗号化の際に併せて暗号化し、復号化してもかまわないし、暗号化設計データ61とは別に与えてもよい。

【0057】また、シミュレーションにおいて不正アクセスをチェックするための回路を予め回路設計データに含めておいて、暗号化してもよい。このチェック回路は、シミュレーションのときにのみ動作し、回路設計後は動作がディセーブルされるように、構成する必要がある。

【0058】図11はシミュレーションにおいて不正アクセスをチェックする回路の一例を示す図である。図11(a)に示すチェック回路は、信号Aの変化回数が所定値(ここでは「8」)を越えたとき、信号Bの値にかかわらず、出力値を「0」に固定するものである。シミュレーション時には、信号Xに「1」→「0」を与え、外部リセットをかける。その後、図11(b)に示すように、所定の制限情報としての信号Aの変化回数が8を越えるまでは出力値は信号Bの値に一致するが、信号Aの変化回数が8を越えると、出力値は「0」に固定される。これにより、正しいシミュレーション結果が得られなくなる。回路製造時は、信号Xを「1」に固定し、このチェック回路が動作しないようにする。

【0059】図12はチェック回路の他の例を示す図である。図12(a)に示すチェック回路は、信号Yの変化時において信号A、Bがともに「0」であることをプロトコル制約条件とし、信号Yの変化時に信号A、Bのいずれかが「0」でないときはプロトコル違反として認識し、信号Cの値にかかわらず、出力値を「0」に固定するものである。シミュレーション時には、信号Xに「1」→「0」を与え、外部リセットをかける。その後、図12(b)に示すように、信号Yの変化時において、信号Aと信号Bがともに「0」でないときは、出力値は「0」に固定される。これにより、正しいシミュレーション結果が得られなくなる。回路製造時は、信号Xを「1」、信号Yを「0」に固定し、このチェック回路が動作しないようにする。

【0060】(タイミング調整) 図13および図14は本発明に係るLSI設計方法としてのタイミング調整方法を示す図である。このタイミング調整方法は、図3(a)に示すフローすなわち、暗号化A→処理B1→復号化Cの流れを含むものである。

【0061】図13に示すように、まず、元の回路設計データ71からタイミング情報72を抽出する(S51)。ここでのタイミング情報とは、各論理ゲートから接続先の負荷までの遅延のことをいう。そして、所定の変換ルール73に従って、元の回路の内容が分からないように、かつ、タイミング情報72のみを合わせるように、すなわち各論理ゲートから接続先の負荷までの遅延を変化させないで、暗号化処理を行い(S52)、暗号化設計データ74を生成する。変換ルール73の内容がそのままキー75になる。このとき、図14(a)、(b)に示すように、変換後の論理ゲート78の少なくとも1つについて、タイミング調整のためのバッファ7

9を付加する。

【0062】そして、暗号化設計データ74について、図14(c)に示すように、目標タイミングを満たすように、付加したバッファ79のサイズを調整する(S53)。ここでは、暗号化処理S52で生成したキー75を用いる必要はない。バッファサイズ調整後、キー75すなわち所定の変換ルールを用いて、元の回路77を復号化する(S54)。このとき、図14(d)に示すように、調整されたバッファサイズを基にして、元の論理ゲートに変換する。この結果、目標タイミングが達成される。

【0063】このようなタイミング調整方法によると、設計者に対して回路内容を秘匿したまま、タイミング調整を行わせることができる。

【0064】(固有ID生成)図15は暗号化設計データが表す回路構成の一例を示す図である。図15に示すように、暗号化設計データは、製品の種別を判定するための固有IDの判定回路としての回路固有IDレジスタを持っている。この回路固有IDレジスタに入力される固有IDの値は、変数で定義されている。また、この固有IDの変数の値を与える固有パラメータが定義されている。固有パラメータは、実際の固有IDとは異なる並び順で、定義される。

【0065】シミュレーションを行う際に、入力する固有IDの値を“110”としても、回路固有IDレジスタの値とは並びが異なっており、“101”と新たに定義された固有IDの値が回路固有IDと一致して、はじめて、正常に動作する回路に生成される。また、次の設計工程では、入力する固有IDの値を“011”としても、新たに“101”と定義しなおされる。

【0066】なお、ここでの説明では、固有IDおよび入力する固有IDの値のビット数を3としたが、この値は任意とする。さらに、入力する固有IDと回路固有IDレジスタは、並びだけではなく、論理が反転しているもよい。

【0067】また、図16に示す回路では、固有IDのみではなく、論理回路中の、電源またはグランドに固定された全てのノードを全て変数で定義されている。

【0068】変数の値は、入力する固有IDの値と、それ以外の正常に動作するように固定された値が入力され、回路上では、回路固有IDレジスタ(図中のA、B、C)とそれ以外のレジスタ(図中のD、E)との区別がつかなくなり、容易に固有IDの値を知ることができなくなる。

【0069】なお、上述した各方法は、当該方法を実現するためのプログラムを実行するコンピュータを備えた装置によって実現することができる。また、当該方法を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録したプログラムをコンピュータに実行させることによって実現する

ことができる。

【0070】

【発明の効果】以上のように本発明によると、暗号化によって、従来よりも回路設計データの機密性を高めることができる。また、暗号化された回路設計データを、機密を保持したまま、設計・検証させることができる。

【図面の簡単な説明】

【図1】本願発明者が提案する回路設計スタイルを示す図である。

【図2】図1の回路設計スタイルにおける基本工程のパターンを示す図である。

【図3】(a)、(b)は本発明に係る処理の流れを示す図である。

【図4】暗号化処理の一例としての回路変換を示す図である。

【図5】(a)～(d)は図4に示す回路変換の具体例を示す図である。

【図6】図4に示す回路変換に用いるダミー回路の生成方法を示す図である。

【図7】(a)、(b)は復号化処理を説明するための図である。

【図8】検証処理としての第1の判定方法を示す図である。

【図9】検証処理としての第2の判定方法を示す図である。

【図10】検証処理としてのシミュレーション制限方法を示す図である。

【図11】(a)、(b)はチェック回路の一例を示す図である。

【図12】(a)、(b)はチェック回路の一例を示す図である。

【図13】タイミング調整方法を示す図である。

【図14】タイミング調整方法を示す図である。

【図15】暗号化設計データが表す回路構成の一例を示す図である。

【図16】暗号化設計データが表す回路構成の一例を示す図である。

【符号の説明】

SA 暗号化処理

f0 元の回路

f1-fp-1 ダミー回路

KEY キー信号

11 回路設計データ

21 並び替え回路

22 セレクタ

25 変換ルール

26 ダミー論理データベース

27 出力ルール

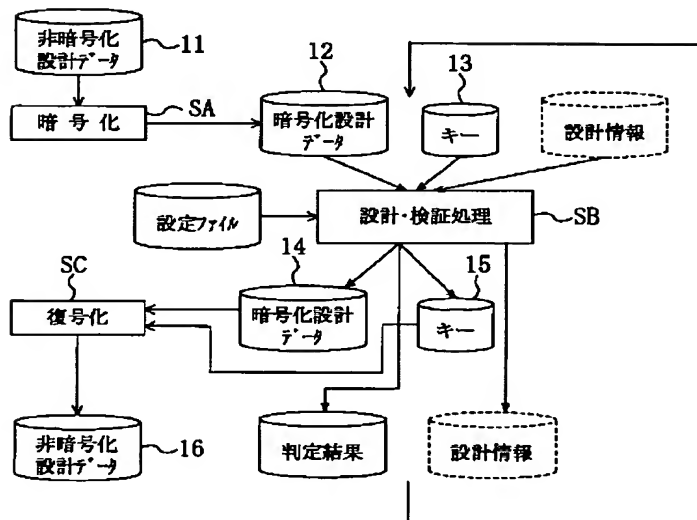
30 暗号化回路

31 キー信号の入力信号線

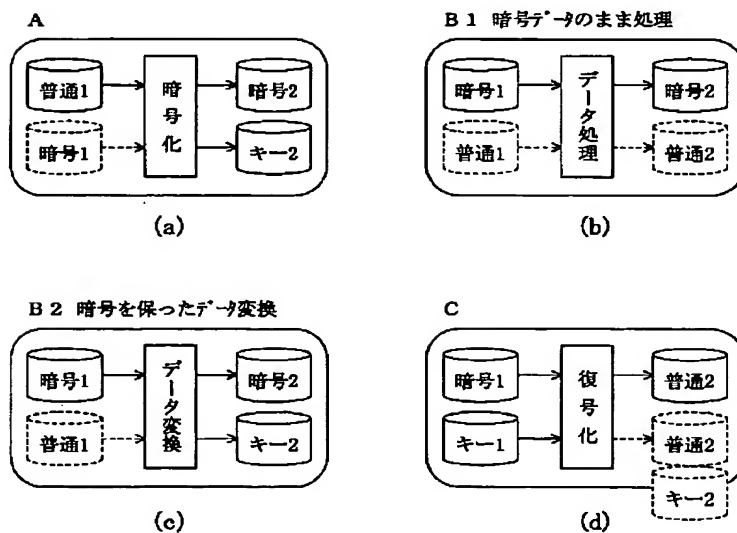
- | | |
|-----|-------------------------|
| 4 1 | 暗号化設計データ |
| 4 3 | 下位レベル設計データ（実際の設計データ） |
| 4 4 | リファレンス I P 設計データ（動作モデル） |
| 4 5 | 実出力値 |
| 4 6 | 出力期待値 |
| 5 1 | 暗号化された回路設計データ |
| 5 3 | 実際の設計データ |
| 5 4 | プロトコル定義 |

- 55 実出力値
- 61 暗号化された回路設計データ
- 63 実際の設計データ
- 64 制限情報
- 72 タイミング情報
- 73 変換ルール
- 78 論理ゲート
- 79 バッファ

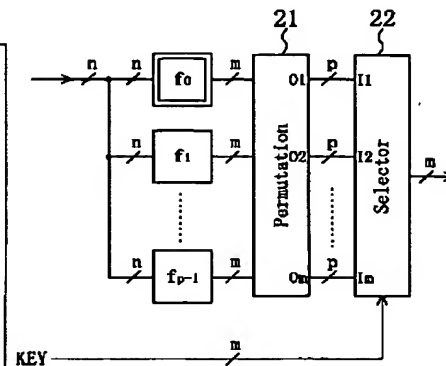
【図1】



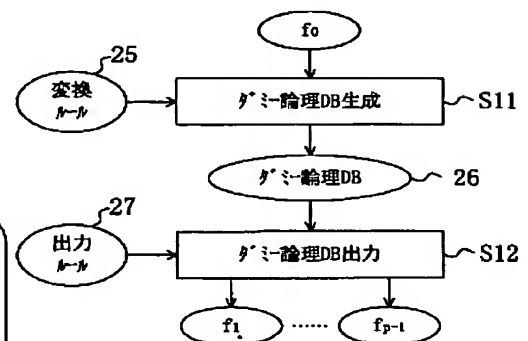
【図2】



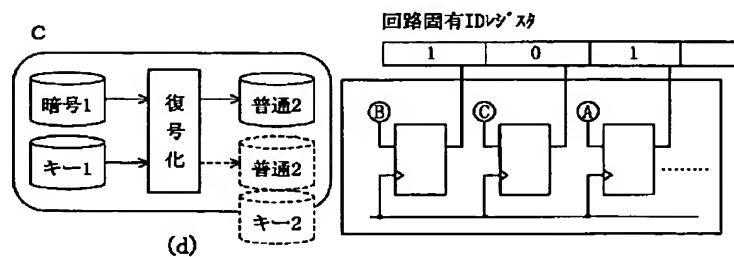
【図4】



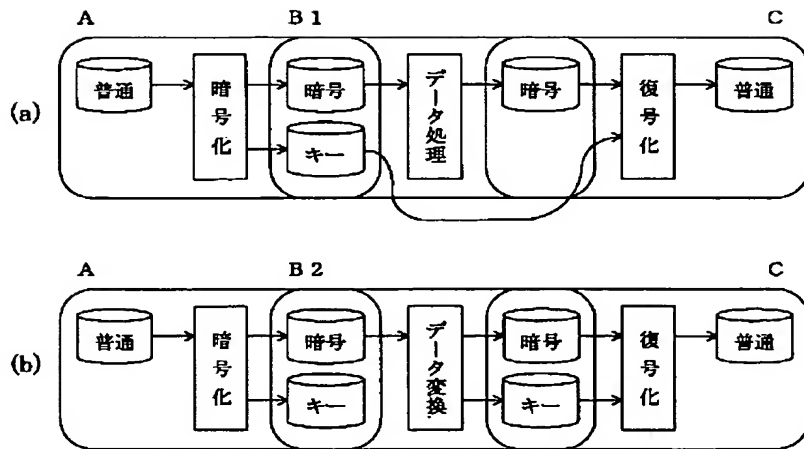
【図6】



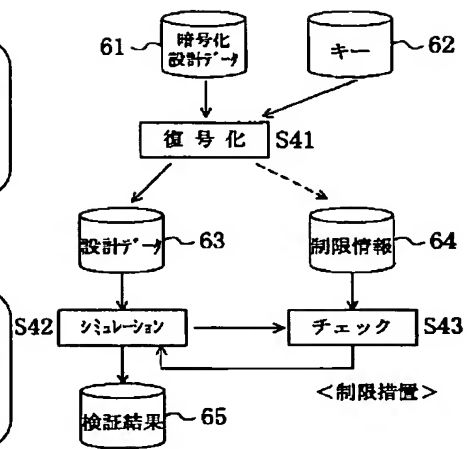
【図15】


$$\left. \begin{array}{l} A=1 \\ B=1 \\ C=0 \end{array} \right\} \text{固有パラメータ}$$

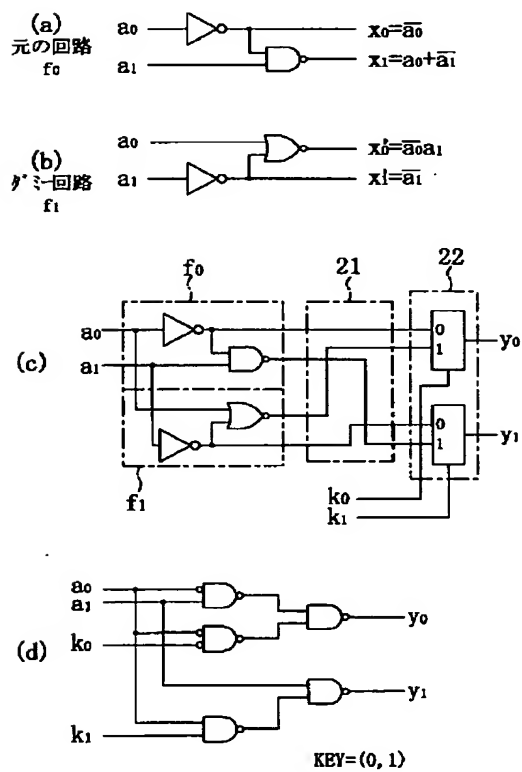
【図3】



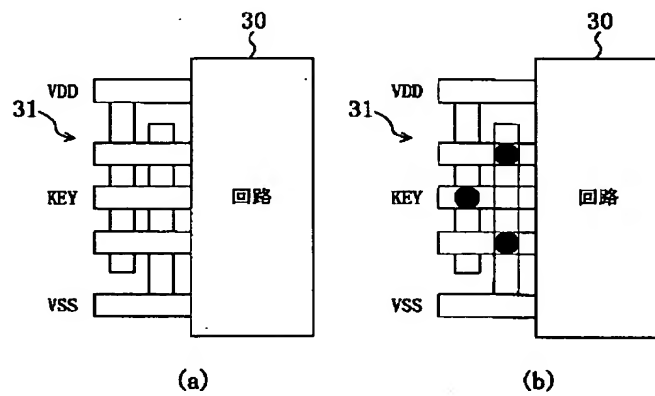
【図10】



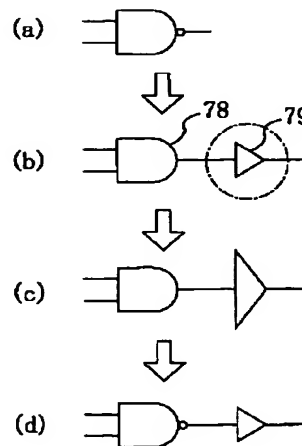
【図5】



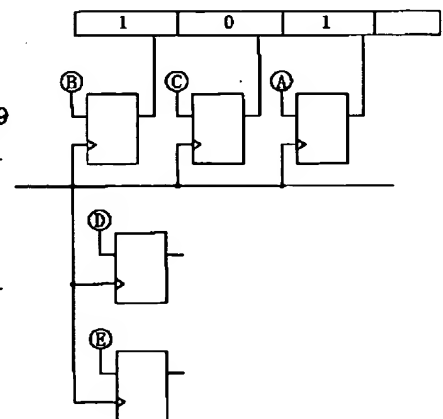
【図7】



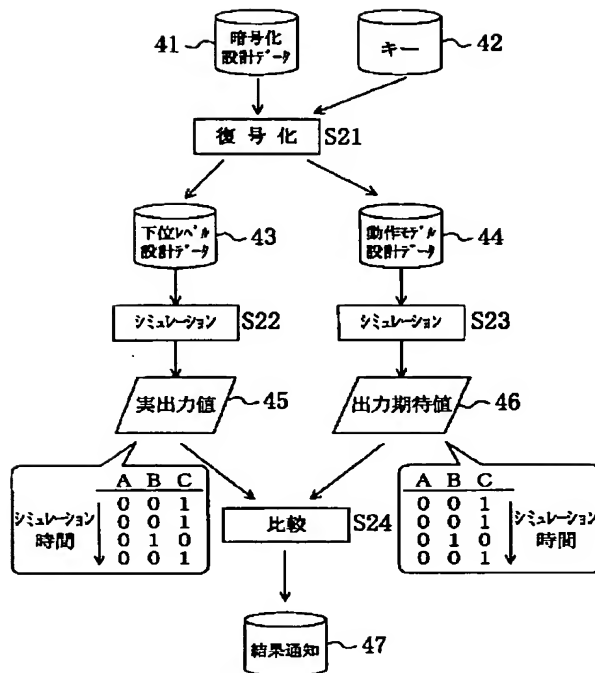
【図14】



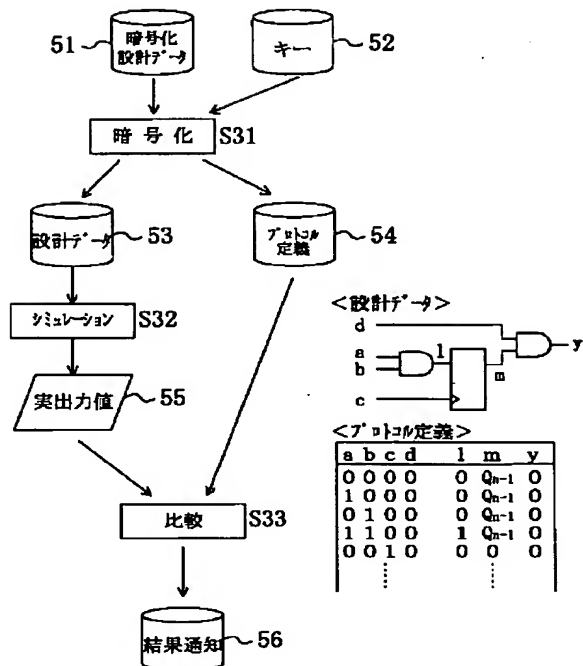
【図16】



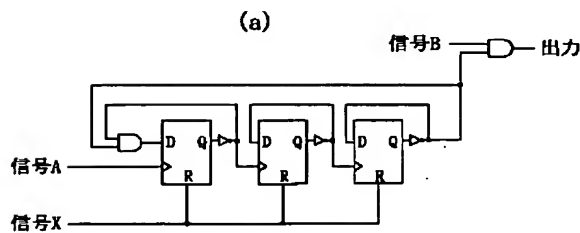
【図8】



【図9】



【図11】

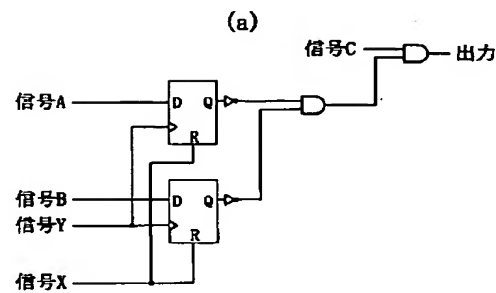


(b)

| X | Aの変化回数 | B | 出力 |
|---|--------|---|----|
| 0 | 1 | 0 | 0 |
| 0 | 2 | 0 | 1 |
| 0 | ... | 1 | 0 |
| 0 | 7 | 0 | 0 |
| 0 | 8 | 1 | 1 |
| 0 | 9 | 0 | 0 |
| 0 | ... | 1 | 0 |

OK NG

【図12】

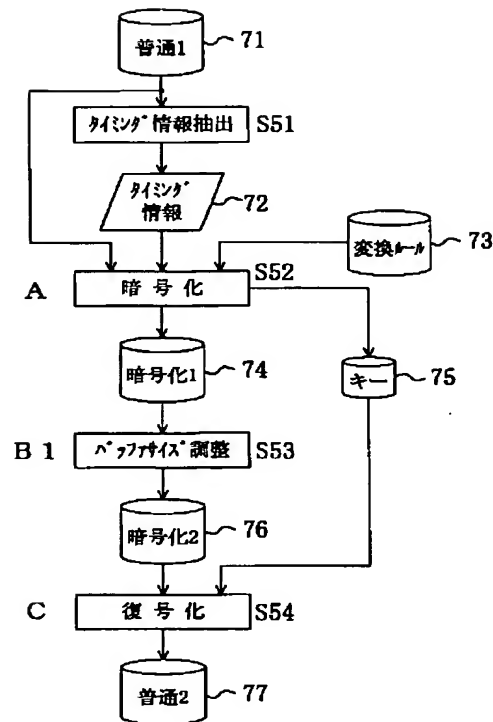


(b)

| X | Y | A | B | C | 出力 |
|---|---|---|---|---|----|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 |

OK NG

【図13】



フロントページの続き

(51)Int. Cl.⁷H01L 21/82
29/00

識別記号

FI

G01R 31/28
G06F 15/60

キーワード(参考)

F 9A001

656B

664K

664J

H01L 21/82

C

T

(72)発明者 藤原 睦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 藤村 克也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 横山 敏之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 2G032 AC09 AE08

5B017 AA01 BA05 BA07 BB03 CA16

5B046 AA08 BA03 JA05 KA05

5F064 BB35 HH06 HH09 HH10

5J104 AA01 JA03 NA02

9A001 BB05 DD15 EE03 HH32 JJ50

KK54 LL03